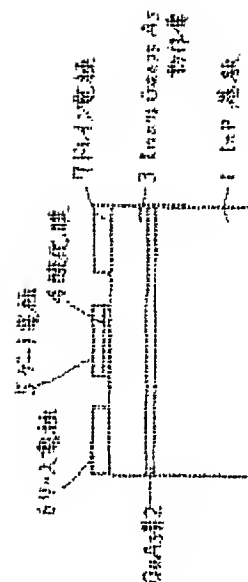


Abstract of JP 63137413 (A)

PURPOSE: To alleviate the difference in lattice constants between a substrate and an operating layer and to prevent the desorption of an element from the substrate, by forming a very thin compound semiconductor layer between the compound semiconductor substrate and a compound semiconductor operating layer. **CONSTITUTION:** A GaAs layer 2 as a very thin compound semiconductor layer, whose dissociation temperature is higher than that of a substrate 1, is grown on a semi-insulating InP substrate 1 as a compound semiconductor substrate by three atomic planes. Thereafter the layer 2 undergoes elastic deformation, and the lattice constant of the layer 2 in the planar direction is brought close to the lattice constant of the substrate 1. Then an $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ operating layer is formed as a compound-semiconductor operating layer on the layer 2. Thus the difference in lattice constants between the substrate 1 and the layer 3 is alleviated. The dissociation of elements from the substrate 1 can be prevented by the layer 2. The substrate temperature is increased in the forming step of the layer 3 and remaining impurity gas can be decreased. As a result, the excellent electric characteristics can be implemented.



⑫ 公開特許公報(A)

昭63-137413

⑤ Int.Cl.⁴H 01 L 21/20
21/203
21/26
27/15
29/80

識別記号

庁内整理番号

7739-5F
7630-5F

④ 公開 昭和63年(1988)6月9日

6819-5F

B-8122-5F 審査請求 未請求 発明の数 1 (全6頁)

③ 発明の名称 化合物半導体装置

② 特 願 昭61-285111

② 出 願 昭61(1986)11月29日

② 発 明 者 松 居 祐 一 大阪府大阪市此花区島屋1丁目1番3号 住友電気工業株式会社大阪製作所内

① 出 願 人 住友電気工業株式会社 大阪府大阪市東区北浜5丁目15番地

④ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

化合物半導体装置

2. 特許請求の範囲

(1) 化合物半導体基板上に該化合物半導体基板よりも解離温度の高い化合物半導体極薄層を形成し、該化合物半導体極薄層を弾性変形させることにより、該化合物半導体極薄層の平面方向の格子定数を前記化合物半導体基板の格子定数に近づけ、該化合物半導体極薄層上に化合物半導体動作層を設けたことを特徴とする、化合物半導体装置。

(2) 前記化合物半導体基板がInPであり、前記化合物半導体極薄層がGaAsであり、前記化合物半導体動作層が $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0.53 \leq x \leq 1$)であることを特徴とする、特許請求の範囲第1項記載の化合物半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、化合物半導体装置に関するもので

あり、さらに詳しくはICやLSIとして用いるマイクロ波素子あるいは発光・受光素子として使用する化合物半導体装置に関するものである。

〔従来の技術〕

発光・受光素子の動作層としては、光ファイバの伝送損失が約 $1.55\mu\text{m}$ 帯で最も低くなることに関連して、In_{0.5}Ga_{0.5}Asなどが従来からよく用いられている。分子線エピタキシャル(以下MBEという)成長法を用いた多重量子井戸型発光素子に関しては、K. Alavi他: Electronics Letters 17th March 1983 Vol. 19, No.6, P 227などに記述されており、通常のレーザに関してはW. T. Tsang: J. Appl. phys. 52(6), June 1981, P 3861などに記述されている。

MBE法を用いて作製される半導体装置としては、高電子移動度トランジスタ(以下HEMTという)が最近注目されている。このHEMTについても、従来動作層としては、GaAsが用いられていたが、InGaAsの室温での電子移動度

がGaAsよりも大きく、また上述の発光・受光素子と同一の基板上で集積化が可能なることから、InGaAsを動作層に用いる試みがなされている。このような試みに関しては、たとえば、T. J. Drummond 他; J. Appl. Phys. 53(5), May 1982, P 3654に記述されている。

[発明が解決しようとする問題点]

ところで、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 混晶化合物半導体の室温における電子移動度は、X値が大きいほど高くなり有利であることが知られている。それにもかかわらず、動作層として従来から $\text{In}_{0.1}\text{Ga}_{0.4}\text{As}$ が用いられている理由の1つとしては、 $\text{In}_{0.1}\text{Ga}_{0.4}\text{As}$ と平均の原子間距離がほぼ同じ基板、すなわち格子整合性の高い基板として、InPが存在することが挙げられる。したがって、従来、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ を動作層とした化合物半導体装置としては、そのほとんどがInP基板上またはInP基板上のInPエピタキシャル層上に、 $\text{In}_{0.1}\text{Ga}_{0.4}\text{As}$ を形成した形をとっている。これは In_xGa

厚みであることが必要である。動作層の厚みがこれ以上に厚くなると、ゲート電極に電圧をかけることによって空乏層の厚みを拡げ、動作層内への電流を完全に遮断することが困難になるからである。ところが、GaAs基板上にInAs層を約 $0.2\mu\text{m}$ 程度の厚みで直接形成した場合には、GaAs層とInAs層の格子定数の差が大きいために、電子移動度は厚みが厚いときの約20%まで低下してしまう。このため、InAs層を直接GaAs基板上に形成せずに、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ や $\text{In}_y\text{Al}_{1-y}\text{As}$ などを用いて、組成値XまたはYを0から1に階段状または連続的に変化させることによって、GaAs基板上にバッファ層を形成した後、InAs層を形成する試みがなされている。これに関しては、C. A. Chang; Collected Paper of MBE-CST-2, 1982, Tokyo, P 131に記述されている。

しかしながら、このような構造でトランジスタを形成しても、バッファ層の組成がInAsに近づくにつれ電気抵抗値が著しく低下するため、ゲ

$1-x$ Asの組成値Xが、0.53から大きくずれると、InP上に直接形成した $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層の結晶性が低下し、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層の表面形態が悪くなってしまうからである。これに関しては、本願発明者他により電気学会電子材料研究会(昭和57年11月17日)で発表されている。

また、一般にInAs層を形成させる場合には、基板としてGaAs基板が用いられている。InAsとGaAsの格子定数の差は、InAsとInPとの格子定数の差よりも大きいにもかかわらず、表面状態の良好なInAs層が得られるからである。このように、GaAs基板上に直接InAsを形成した場合においてもInAs層の厚みが $2\mu\text{m}$ 以上の場合には高い電子移動度が得られている。これに関しては、C. A. Chang; Collected Paper of MBE-CST-2, 1982, Tokyo, P 131に記述されている。しかしながら、通常、電界効果トランジスタなどの動作層として用いるためには、 $0.1\mu\text{m} \sim 0.3\mu\text{m}$ 程度の

一電極に電圧をかけてInAs層内に流れる電流を遮断した際、下のバッファ層内の電気抵抗の低い領域を電流が流れてしまい、トランジスタの漏洩電流の原因になるという問題を生じた。

したがって、現在においては、InP基板またはInP層の上に、 $\text{In}_{0.1}\text{Ga}_{0.4}\text{As}$ 層を形成し、これを動作層とした発光・受光素子やトランジスタが専ら作製されている。

ところで、InP上にMBE法によって動作層を形成する場合には、以下に掲げるような問題を生じる。すなわち、真空中におけるInPの解離温度は約 350°C と低いため、通常 $\text{In}_{0.1}\text{Ga}_{0.4}\text{As}$ を成長させるときの温度である約 500°C 前後に昇温するには、InP表面からのPの脱離を防止しなければならない。このPの脱離の防止方法として、InP表面にAs分子線を照射することが行なわれている。これに関しては、たとえばH. Suglura他; Collected Paper of MBE-CST-2, 1982, Tokyo, P 255に記述されている。

また、As 分子線の代わりにP 分子線を照射することによっても、InP からのP の脱離を防止することが可能であるが、InP からのP の脱離が起こる前にIn_{0.5}, Ga_{0.5}, As 層を形成するためには、P 分子の排気を瞬時にして行なうことが必要となる。しかし、P の飽和蒸気圧は極めて高いため、一般にMBE法においてP 分子の排気を瞬時にして行なうことは困難である。したがって、As 分子を照射する方法が一般に用いられている。しかし、このようなAs 分子線を照射する方法においても、従来より種々の問題がある。すなわち、InP 基板温度が高くなるほど、P の脱離を防止するために必要なAs 分子線強度は増大する。たとえば、550℃では約 10^{-6} Torr、590℃では 10^{-5} Torr のAs 分子線が必要であると言われている。これに関しては、たとえば、H. Sugiura他; Collected Paper of MBE-CST-2, 1982, Tokyo, P. 256に記述されている。ところが、Ⅲ族(Ga, Inなど)分子線強度に対してAs 分子線強度があまり

にも大きくなると、成長層内にⅢ族原子の空孔ができてしまい、成長層のストイキオメトリーが悪くなり、さらには表面モフォロジーも悪くなってしまう。Ⅲ族分子線強度とAs 分子線強度を最適条件に保ちながら、As 分子線強度を増大していくためには、Ⅲ族分子線強度も増大しなければならない。しかし、これにより成長層の成長速度も大きくなるため、薄膜を成長するための膜厚制御性が悪くなるという新たな問題を生じる。また、成長速度が大きくなると、成長途中での下地層表面上での表面拡散が十分に行なわれなくなり、これによって成長層の結晶性が低下するという問題も生じる。

この発明の目的は、上述の問題を解消するためになされたものであり、格子定数の相違を緩和し、かつ基板からの元素の脱離が有効に防止された化合物半導体装置を提供することにある。

【問題点を解決するための手段】

この発明の化合物半導体装置では、化合物半導体基板上に該化合物半導体基板よりも解離温度の

高い化合物半導体極薄層を形成し、該化合物半導体極薄層を弾性変形させることにより該化合物半導体極薄層の平面方向の格子定数を該化合物半導体基板の格子定数に近づけ、該化合物半導体極薄層上に化合物半導体動作層を設けることを特徴としている。

【作用】

この発明の作用について説明するため、化合物半導体基板としてInPを、化合物半導体極薄層としてGaAsを例示して、以下説明する。

InP基板またはInP層上に、GaAs 薄膜を約50Å以下の厚みで形成させた場合、GaAs 薄膜結晶は弾性変形により、第2図に示すようにその原子間隔が変化する。すなわち、本来GaAs 結晶は、閃亜鉛鉱型結晶であり、格子定数 a (GaAs) は $\langle 001 \rangle$ 、 $\langle 100 \rangle$ および $\langle 010 \rangle$ のいずれの方向も約5.65Åであるが、格子定数 a_1 が約5.87ÅであるInP基板上に形成されたGaAs 薄膜は、正方晶変形しており、 $a_1 < a_2 \leq a_3$ になっている。但し、本来

のGaAs 結晶の格子定数 a (GaAs) は、 $a_1 < a$ (GaAs) $< a_2$ の関係にある。

従来方法では、 1×10^{-5} Torr のAs 分子線を照射しながらInP基板を550℃まで加熱した後、InP基板を500℃に降温し、In_{0.5}, Ga_{0.5}, As 層を形成している。これに対して、この発明のように、InP基板上にGaAs 薄膜を約18Å(約3原子面)形成したものは、 1×10^{-5} Torr のAs 分子線を照射しながら600℃に加熱しても、表面からのPの脱離は全く観察されず、鏡面状態を維持している。したがって、InP基板上にGaAs 層を3原子面だけ形成することにより、 1×10^{-5} Torr のAs 分子線を照射した状態で、一旦600℃まで加熱することが可能となり、その後、InP基板を500℃に降温し、In_{0.5}, Ga_{0.5}, As 層を形成することができる。

InP基板上にGaAs を3原子面だけ形成した後、基板温度を一旦600℃まで上昇させ、その後500℃まで降温させてからIn_{0.5}, Ga

0.4, 7 As 層を形成させた試料aについて、電子移動度を各温度で測定し、その結果を第3図に示した。また、比較として化合物半導体極薄層としてのGaAsを形成することなく、従来のようにInP基板を550℃まで上昇させた後、500℃まで降温させてから直接InP上にIn_{0.1}, Ga_{0.4}, 7 As 層を形成した試料bを作製し、同様に全温度範囲にわたって電子移動度を測定して、第3図に併せて示した。

第3図に示されるように、この発明によるものは、全温度範囲にわたって電子移動度が著しく高くなっている。この原因としては、基板を従来の550℃から600℃にまで昇温することができたものによると思われる。すなわち、基板表面ならびに基板ホルダ周辺からの不純ガス(たとえばO₂, CO, CO₂, N₂など)が成長前に完全に脱ガスされ、成長中(基板温度は500℃)における残留不純ガスが著しく低減したことにある。これは、四重極質量分析装置などを用いることによって確認されている。

～0.3μm程度であるので、この発明による化合物半導体装置は、はるかに有効に利用され得る。さらに、この発明による化合物半導体装置が優れた電気的特性を示すのは、以下の理由によると思われる。すなわち、この発明においては極薄層としてのGaAs層をInP基板上に形成しており、GaAs層の格子定数a₂は、ほぼInP基板の格子定数a₁と等しくなっている。したがって、その上に格子定数の大きなInAs層やIn_{0.7}, Ga_{0.2}, 5 As 層を形成した場合の格子不整は約3%になる。これに対して、InAs層をGaAs基板上に直接形成する従来の場合には、格子不整が約7%となる。この結果、InAs層を直接GaAs基板上に形成した場合に発生する界面近傍の欠陥の数に比べて、InP基板上のGaAs層とInAs層との界面近傍の欠陥の数が著しく小さいため、優れた電気的特性が発揮されたものと考えられる。

【実施例】

第1図は、この発明の一実施例である電界効果

また、InP基板表面上に従来のように直接In組成の多い、たとえばIn_{0.7}, Ga_{0.2}, 5 As やあるいはInAs層などを形成した場合には、その表面状態は極めて凹凸の激しいものとなり電気特性も悪くなるが、この発明に従いInP基板上にGaAs層を3原子面成長させたものは、In_{0.7}, Ga_{0.2}, 5 As やInAs層などをその上に形成しても、表面状態は鏡面状であり、その電気的特性も従来に比べ著しく改善される。

第4図は、従来のようにGaAs基板上に直接動作層としてIn_{0.7}, Ga_{0.2}, 5 As やInAs層を形成した試料dと、この発明に従いInP基板上にGaAs 3原子面を積層した後、動作層としてIn_{0.7}, Ga_{0.2}, 5 As やInAs層を形成した試料cとにおける、電子移動度と動作層の厚みとの関係を示した図である。第4図に示されるように、層の厚みが特に薄い状態において、この発明による試料cと従来の方法による試料dとに著しい電子移動度の差が現われている。通常、トランジスタの動作層はその厚みが0.1

トランジスタ(以下FETという)を示す断面図である。化合物半導体基板としての半絶縁性InP基板1上に、化合物半導体極薄層としてのGaAs層2を3原子面だけ成長させ、その後1×10⁻⁵TorrのAs分子線を照射しながら、基板温度を600℃で30分間アニールして脱ガスした後、基板温度を500℃にして、化合物半導体動作層としてのIn_{0.7}, Ga_{0.2}, 5 As 動作層3(Siドープで、キャリア密度は約2×10¹⁷cm⁻³とした)を約0.2μm形成した。次に、動作層中央部に酸化膜4を形成し、Al金属を蒸着してゲート電極5を設けた。さらにゲート電極5の両サイドにAuGeNiとAuを順次蒸着し、ソース電極6およびドレイン電極7を設けてFETを作製した(実施例)。

また、比較として、GaAs層2を形成させていない従来のFETを作製した(比較例)。これらのFETについて、電気的特性を測定した結果、この発明による実施例のFETは、比較例のFETに比べ著しく優れた電気的特性を発揮すること

がわかった。

動作層である $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層の組成を $0.53 \leq x \leq 1$ の範囲内で変化させて、上述の実施例と同様にして FET を作製したところ、極薄層としての GaAs 層を形成していないものに比べいずれも優れた電気的特性を発揮した。また、極薄層としての GaAs 層の厚みを 1 原子面から 30 原子面の範囲内において、変化させ、上述の実施例と同様に FET を作製し、電気的特性を測定したところ、いずれも GaAs 層が形成されていない FET に比べ優れた電気的特性を発揮した。

〔発明の効果〕

以上説明したように、この発明の化合物半導体装置では、化合物半導体基板と化合物半導体動作層との間に、化合物半導体極薄層を形成することにより、化合物半導体基板と化合物半導体動作層との格子定数の相違が緩和され、その結果優れた電気的特性が発揮される。

また、化合物半導体極薄層により、化合物半導体基板からの元素の脱離を有効に防止することが

でき、このため、動作層の形成工程において基板温度を従来よりも高めることができるため、残留不純ガスを著しく低減することができ、優れた電気的特性を発揮させることができる。

なお、作用および実施例においては、化合物半導体基板として InP、化合物半導体極薄層として GaAs 層、化合物半導体動作層として $\text{In}_x\text{Ga}_{1-x}\text{As}$ 層を例示したが、この発明ではこれらのものに限定されることなく、その他の種類の化合物半導体にも適用され得ることは言うまでもない。

4. 図面の簡単な説明

第1図は、この発明の化合物半導体装置の一実施例である FET を示す概略断面図である。第2図は、InP 基板上的 GaAs 層内の格子の弾性変形を説明するための図である。第3図は、InP 基板上に GaAs 層を 3 原子面だけ成長させ、その上に $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 層を形成した試料 a と、InP 基板上に直接 $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 層を形成した試料 b の各温度における電

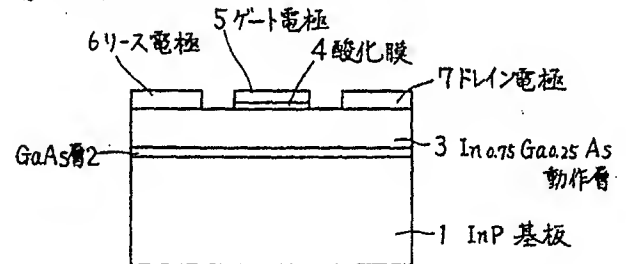
子移動度を示した図である。第4図は、InP 基板上に GaAs 層を 3 原子面だけ成長させその上に $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 層を形成した試料 c と、GaAs 基板上に直接 $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 層を形成させた試料 d との層の厚みに対する電子移動度の関係を示した図である。

図において、1 は化合物半導体基板としての InP 基板、2 は化合物半導体極薄層としての GaAs 層、3 は化合物半導体動作層としての $\text{In}_{0.75}\text{Ga}_{0.25}\text{As}$ 動作層、4 は酸化膜、5 はゲート電極、6 はソース電極、7 はドレイン電極を示す。

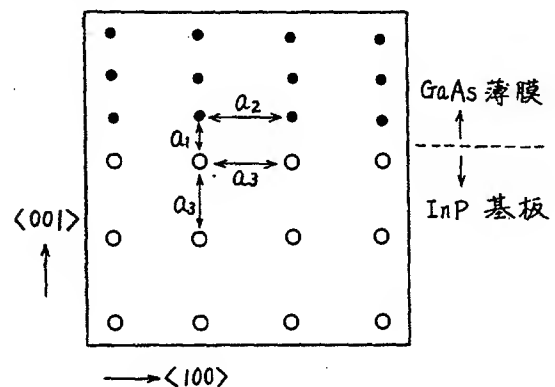
特許出願人 住友電気工業株式会社
代理人 弁理士 深見久郎
(ほか2名)



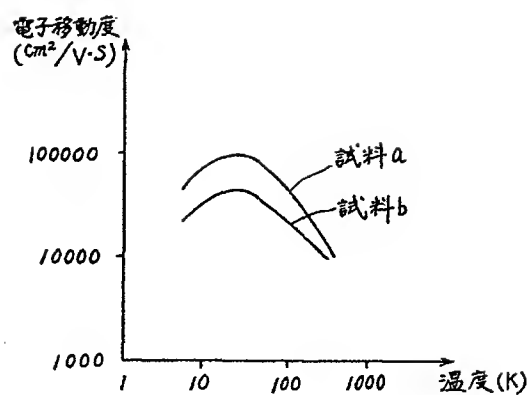
第1図



第2図



第3図



第4図

